

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-124575

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

H01L 21/822
H01L 27/04

(21)Application number : 2001-255597

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 27.08.2001

(72)Inventor : ATON THOMAS J

(30)Priority

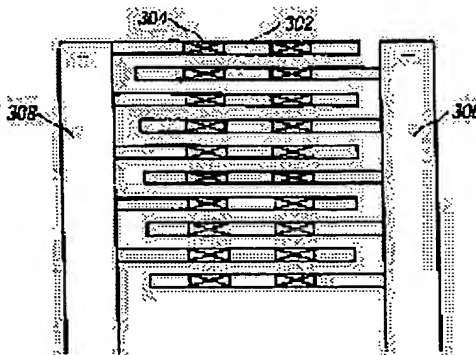
Priority number : 2000 229488 Priority date : 31.08.2000 Priority country : US

(54) CAPACITOR ON CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor on chip in which a larger capacitance can be achieved on a chip with smaller dimensions for the same capacitance through minimum modification of process.

SOLUTION: In an analog capacitor on a chip, a metal interconnection structure is used for forming the capacitor and interdigital fingers 302 of the same polarity in the interconnection structure are connected vertically through a metal via 304. The metal via forms a metal wall increasing the total capacitance by utilizing the sidewall capacitance of the via.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124575

(P2002-124575A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl.⁷

識別記号

F I

キーワード(参考)

H 0 1 L 21/822

H 0 1 L 27/04

C 5 F 0 3 8

27/04

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願2001-255597(P2001-255597)

(22) 出願日 平成13年8月27日(2001. 8. 27)

(31) 優先権主張番号 60/229488

(32) 優先日 平成12年8月31日(2000. 8. 31)

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 トマス ジェイ エイトン

アメリカ合衆国 テキサス州 75248 ダ
ラス デイルポート サークル 15735

(74) 代理人 100059959

弁理士 中村 稔 (外9名)

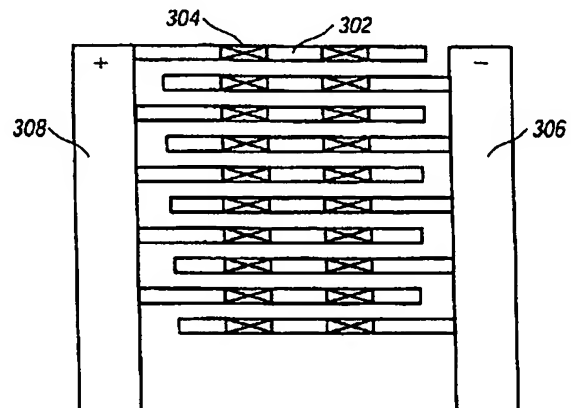
Fターム(参考) 5F038 AC04 AC05 AC10 AC15 EZ15
EZ20

(54) 【発明の名称】 チップ上のキャパシタ

(57) 【要約】

【課題】 より大きなチップ上の容量を、最小のプロセスの変更で、同じ容量に対してより小さな寸法でもって達成できるチップ上のキャパシタが提供される。

【解決手段】 チップ上のアナログ・キャパシタであって、金属相互接続構造がキャパシタを形成するために使用され、そして相互接続構造内の同じ極性の指状に組合せられたフィンガー302が上及び下で互いに金属パイア304により接続されていて、金属パイアはパイア側壁容量を利用することにより、全体容量を増加する金属壁を形成する。



【特許請求の範囲】

【請求項 1】チップ上のキャパシタであって、第 1 及び第 2 レベル内のそれぞれの第 1 及び第 2 金属パターンを有し、

前記第 1 レベルの前記第 1 パターンは前記第 2 レベルの前記第 1 パターンに導体バイアにより接続されていて、前記第 1 レベルの前記第 2 パターンは前記第 2 レベルの前記第 2 パターンと導体バイアにより接続されていて、前記第 1 パターン及び前記第 2 パターンはキャパシタのコンタクトを形成するキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路構造に関し、より詳細にはチップ上のキャパシタに関する。

【0002】

【従来の技術】集積回路製造においては、多くの装置が単一の基板上に置かれる。さまざまな装置が電氣的に互いに隔離されなければならないが、いくつかの特定の装置は所望の回路機能を実現するために電氣的に相互接続されなければならない。多くの回路は、一レベル以上の相互接続を必要とし、そのため複数レベル相互接続が使用される。

【0003】集積回路技術の 1 つの目的は、装置速度の増大である。この目的は、集積回路製造において装置寸法を小さくする方法を求め、集積回路全体の機能的複雑性を増加させた。しかし、IC の小型化、従って速度は相互接続技術により制限を受ける。複数レベル相互接続構造に伴う 1 つの問題は、高アスペクト比及び変化する深さのコンタクト孔及びバイアを充填することである。これらの問題を解決するために多くのプロセスが開発された。別の問題が、密に配置された導体の混信の傾向であり、1 つの線の電位変化が近くの線の性能に影響する。

【0004】ダマシシ（象嵌）プロセスが、IC 上に金属化されたパターンを形成する 1 つの方法である。最初に、誘電体層内に導電体パターンが食刻されて、誘電体層内に溝を形成する。そして、金属が食刻された溝を充填するために堆積される。しばしば、堆積された金属が周囲の誘電体領域内に拡散することを防止するために、溝の底及び壁面に拡散障壁材料が堆積される中間ステップが含まれる。典型的に、堆積された金属は、堆積方法に依存して、溝のみならずウエハ表面全体を覆う。この余分な金属は化学機械研磨（CMP）を使用して除去される。これにより、誘電体材料の溝内に象嵌された金属フィンガーを有する滑らかな表面が形成される。

【0005】二重ダマシシ・プロセスは、元の溝が食刻されるのと同時にバイア及び相互接続パターンが誘電体層内に形成される。この後に、溝とバイアの両方の内に金属が堆積される単一の金属充填が続く、研磨が続く。二重ダマシシ・プロセス内のバイアはしばしば、

金属層溝自身と同じ広さである。

【0006】複数レベル相互接続はまた、チップ上のキャパシタを形成するためにも使用される。これらは典型的に、キャパシタの 2 つの端子を与える 2 つのバスに接続した積層された金属化線からなる。異なるバス接続が、異なる線に異なる極性を与えるために使用される。典型的に、異なる極性の線はフィンガー（指）のように組合せられて、第 1 の 1 つの極性、そして他の極性を有する線のパターンを形成する。

10 【0007】図 2 a は、既存の金属相互接続構造を使用して形成された従来のチップ上のキャパシタを示す。1 つの極性の線が、垂直方向及び横方向の両方に反対極性の線と近接することに注意する。この結果、断面図では、従来はチェッカーボード配置を有する。

【0008】多くのアプリケーションについて、チップ上のキャパシタは交互の極性の金属線の既存の構造から形成されている。典型的な従来技術のチップ上のキャパシタ構造において、フィンガー（指）のように組合せられた異なる極性の金属線の複数レベルが、次々に上に積重ねられて（上述した製造技術を使用して）、金属相互接続の積重ねを形成する。典型的に、上及び下の金属線は互いに交互の極性を有する。これらの金属性は誘電体材料で分離されているため、それらはチップ上のキャパシタを形成するために使用できる。

20 【0009】特に、アナログ・アプリケーションのための CMOS プロセスは、これらの金属相互接続を使用してキャパシタを構築する。これらの構造は典型的に、側壁容量（すなわち、単一層内の線の間の容量）及び「上一下」容量（すなわち、相互接続構造の近接レベル内の 2 つの金属線間の容量）の両方を使用する。本発明は、以下に説明するように改良されたチップ上のキャパシタ構成を開示する。

【0010】

【発明が解決しようとする課題】本発明は、新しいチップ上のキャパシタを開示する。本発明のチップ上のキャパシタによれば、より大きなチップ上の容量を、最小のプロセスの変更で、同じ容量に対して、より小さな寸法でもって達成できる。本発明のチップ上のキャパシタによれば、金属線への電気接続は、他のレベルはバイアで接続されるため、たった 1 つのレベルの接続で済む。

【0011】

【課題を解決するための手段】金属線の垂直方向の積重ねは、垂直方向に近接する線は異なる極性を有するのではなく、同じ電位極性を有するように配向される。上及び下の線は互いに、バイアにより広く接続されて、全体構造（金属線にバイアを加えた）のレベル内又は「側壁」容量を増加する。これは必然的に、垂直に近接した反対極性の線により与えられる上一下容量の寄与を除去する。交互に変化しない極性を垂直方向に積層した相互接続及び垂直方向の積重ねをバイアにより接続すること

は、レベル間容量を犠牲にするが、レベル内容量の増加はこの損失よりも多い。パイアの側壁容量がその側壁容量内のより高い誘電体材料を利用できるため、この増加はチップ上のキャパシタンスをさらに増加する。

【0012】1つの実施の形態では、本発明のチップ上のキャパシタ内のパイアは、金属相互接続線の全体長に延びることができ、金属の壁を形成して、レベル内容量をさらに増加する。同様に、レベル間の誘電率（レベル間誘電体又はILD）は、間隙を充填する誘電体、または金属内充填誘電体よりも高い誘電率の材料で形成できる。これは金属線間の容量を増加し、そしてチップ上のキャパシタンスをさらに増加する。

【0013】本発明は、上及び下の金属線が互いに同じ極性であるため、二重ダマシーン・プロセス又は金属相互接続を生成する利点を使用することができる、いくつかの実施の形態で特に有用である。二重ダマシーン・プロセスにおいて、パイアは金属線自身と同じ広さ（又はより広く）に作ることができ、全体の容量を増加する。さらに有利な点は、二重ダマシーン・プロセスにおいて、パイアを横方向に分離する誘電体は金属線を分離するものと同じある必要がない。

【0014】最後に、パイアは最上の金属相互接続線の上及び最下の相互接続線の下に延びることができ、「めくら」のパイアを形成して、金属の全体面積を増加して、全体容量を増加する。

【0015】さまざまな実施の形態において、開示された方法及び構造の利点は以下の1つ又は複数を含むことができる。

- より大きなチップ上の容量；
- 最小のプロセスの変更；
- 同じ容量に対してより小さな寸法；
- その他のレベルはパイアで接続されるためにたった1つのレベルの接続；

以下、添付図面を参照して、本発明の実施の形態を説明する。

【0016】

【発明の実施の形態】好適な実施の形態に基づいて、本発明の多くの革新的な教示を説明する。しかし、この実施の形態は、本発明の多くの有利な使用の中のいくつかの例を示すにすぎない。一般に、明細書の発明の詳細な説明中の説明は、必ずしも特許請求の範囲の請求項に記載の発明を限定するものではない。さらに、ある説明は特定の請求項に記載の発明に適用されるであろうけれども、他の請求項に記載の発明には適用されないであろう。

【0017】図面を参照して好適な実施の形態を説明する。図1は、CMOSプロセスの相互接続層の上平面図を示す。金属化線102が、誘電体材料104により分離されて互いに近接して配されている。同じ極性の線が共通バスに接続されている。図1は、2つのバス10

6、108を示す。説明の目的のために、1つのバス106に「+」と印し、他のバス108に「-」と印す。互いに近接した金属構造間の電位差が容量を作ることができる。本発明は、垂直（レベル間）容量に依存する代りに、以下に詳細に説明するように、より大きな水平（レベル内又は側壁）容量を作る。

【0018】図2aは、CMOSプロセスの複数レベル側面図である。金属化線210は、極性に応じて「+」又は「-」と印しが付けられた端が示される。典型的なプロセスでは、垂直に整列された金属線の組はレベルからレベルで極性が交替して、レベル間容量及びレベル内容量の両方を生成する。この代りに、好適な実施の形態は、図2bに示すように、レベル間で交替しない帯電をした金属線を使用する。これは、ある線の上及び下の金属線210は、その線と同じ極性にあることを意味する。ある線と同じレベル内の金属線は、なお、交替する極性である。これは、この構造内でのレベル内の容量の可能性を生成し、そして、レベル間の容量をほとんど除去する。

【0019】しかし、現在の金属化プロセスにおいては、側壁容量はレベル対レベル容量よりもずっと大きく（金属線のアスペクト比のため）、側対側距離（リソグラフィによりパターン化される）は層対層距離よりもずっと小さい。好適な実施の形態では、同じ極性の線が互いに上下となる「積重ね」構成で可能なパイアの増加された側壁容量を利用するために、レベル対レベル容量を犠牲にしている。

【0020】図3は、好適な実施の形態の上平面図である。金属線の組合せられたフィンガー302は、パイア304により、上及び下（適当ならば）と接続される。パイア304は、「x」で印しが付けられる。レベルはすでに電気的に接続されているため、パイアは、金属線の全て、大部分又はいくつかで長さに沿って全てを接続するトレンチ内に形成することができ、線間に実質的にいくつかのレベルを通して延びる金属の壁を形成する。この側壁の増加が容量をさらに増加する。図4は、金属の連続した壁を形成する、線404の全長に沿ったパイア402の上平面図を示す。

【0021】図5は、側面図を示す。金属化線502の端が見え、同じ極性の線が垂直に整列している。金属パイア504が、各金属線502を上及び下の金属線と接続する。各金属線の間隙は、誘電体材料506により充填される。パイア間は、レベル間誘電体材料508が示される。

【0022】最上及び最下金属線は、「めくらパイア」又は一端のみが接続されるパイアを取り付けても良い。これはより多くの全体金属領域を追加する。図6は、3レベルの金属化パターンを示し、パイア602が全てのレベルを間に延び、そしてパイア604が最上及び最下レベルの上側及び下側にそれぞれ延びている。

【0023】好適な実施の形態では、さらに容量を増加するために複数有効誘電率（EDC）を有するシステムも利用できる。普通、異なるEDCを使用するシステムにおいて、レベル内誘電率は、側壁容量を減少するため、そして側対側相互接続線を駆動する動作速度を改良するために、小さく作られる。これは側壁容量を使用したこのような金属キャパシタを最大にするのには不利に働く。しかし、レベル間EDCは普通、混信に対する線の安定性を改良するためにずっと大きい。好適な実施の形態において、バイア側壁容量の生成は、側壁容量をさらに増加するためにこのより高いレベル間EDCを利用している。図7は、二重EDCシステムの一例を示す。金属線702が異なるレベルを占め、そして上と下にバイア704により接続されている。1つの平面内の金属線間に存在する間隙充填誘電体材料706は、典型的に、バイア間の間隙充填誘電体材料708よりも低いEDCを有する。例えば、706のEDCは、2.7と低いが、レベル間材料708は4.0と高い。より高いEDC材料708内のバイア側壁容量は存在は、可能な容量を劇的に増加できる。

【0024】ダマシーン・プロセスにおいて、バイアについてのトレンチが、金属相互接続層が形成される前に食刻される所では、バイアは金属層と同じ幅を有するスロットとすることができ、金属の連続した壁を形成する。図8を参照すると、誘電率4.0を有する材料802の第1層が、基板810上に堆積される。トレンチ804が、誘電体層802内に食刻されて、誘電体中への金属の拡散を防止するための薄い層（図示しない）が積層される。そして、トレンチ充填技術が加えられて、トレンチを銅（好適な実施の形態において）で充填する。このプロセスは、電気メッキ、CVD、又はPVDで行なうことができる。そして、余剰な銅は充填から化学機械研磨により除去される。

【0025】次に、2.7乃至3の間の誘電率の材料806が堆積され、そして金属層に対してトレンチ808が食刻される。これらのトレンチはバイア・トレンチが充填されたのと同じ方法で充填され、そして研磨される。プロセス要件に依存して、これは繰返されて、誘電体材料の交互の層の間に堆積された金属の連続した壁を形成するために、金属バイアにより上と下が接続された金属化フィンガーの複数のレベルの形成する。

【0026】これに加え、積層順序の再配列及びバイアによる同様に順序付けられた層の接続は、キャパシタ（図1中の106及び108及び図3中の306及び308）を接続するバス接続は金属層の1つ上のみ存在することを意味する。便宜のため、それは最下層、最上層又は中間層の1つである。これは、これらのバスにより普通占められている追加の配線トラックが、装置内の追加のその他の相互接続のために利用可能であるという利点を有する。

【0027】定義

以下は、本明細書に使用されているいくつかの技術用語の普通の意味を定義する（しかし、当業者は文脈が異なる意味を要求しているかどうかを認識する）。追加の定義は、標準の技術辞書又はジャーナルに見付けることができる。CVD：化学蒸着—基板表面における材料の反応により基板上に材料を堆積するプロセス。EDC：材料の有効誘電率。

【0028】修正及び変形

10 当業者には理解されるように、本明細書に開示された革新的な概念は、応用の大きな範囲にわたって修正及び変形できる。従って、特許の主題の範囲は、与えられた特定の例示的な教示のいずれかにより限定されるものではなく、特許請求の範囲の記載によりのみ定義される。

【0029】上記の金属化層の数は、より多い又はより少ない層を有する構造及びプロセスに適用できるいずれの請求の範囲も黙示的に限定するものではないことに注意すべきである。

20 【0030】同様に、開示された発明は金属の複数層を有するプロセスに等しく適用可能であることが容易に認識できる（事実、このようなプロセスにおいて最も普通に使用されるであろう）。

【0031】同じく、開示されたプロセス・ステップは、BiCMOS又はスマート・パワー・プロセスなどのハイブリッド・プロセス・フロー中に埋め込むことができることが容易に認識される。

30 【0032】上記の教示は、シリコンに限定される必要はない。別の実施の形態においては、これらの教示は、シリコン/ゲルマニウム及び関連合金、ヒ化ガリウム及び関連する化合物及び合金、リン化インジウム及び関連化合物、及び不均質構造の層を含む他の半導体などの他の半導体を使用した方法及び構造にも適用できることが考えられる。

【0033】本発明と互換性のある低誘電率材料の一例は、 SiO_xF_y であり、そして高誘電率材料の一例は SiO_xNy である。しかし、もちろん、他の材料も使用できる。

40 【0034】金属線は好ましくは、使用されるプロセスの設計規則により決定される最小幅を有する。しかし、代替的に、もし高いQキャパシタが必要とされるならば、最小幅よりも大きい金属線が与えられる。いずれの場合も、金属線間及びバイア間の横方向の分離は、より高い降伏電圧が望まれなければ、最小に維持される。

50 【0035】開示された発明の実現及び変形に関して当業者の知識を示すのに役立つ追加の一般的な背景としては、以下の文献が有る：コバーン、プラズマ・エッチング及び反応性イオン・エッチング（1982）、ハンドブック・オブ・プラズマ・プロセッシング技術（ロスナゲル編）；プラズマ・エッチング（マナス及びフラム編1989）；プラズマ・プロセッシング（ディレマン等編1

982) ; シュミツ、VLSI/U L S I 応用のためのタングステン及びタングステン・シリコン化合物のCVD (1992) ; メタライゼーション及び金属半導体インターフェイス (パトラ編1989) ; VLSIメタライゼーション: フイジックス及び技術 (シナイ編1991) ; ムラルカ、VLSI及びULSIのためのメタライゼーション理論及び実際 (1993) ; 集積回路のための複数レベル・メタライゼーションのハンドブック (ウイilson等編集1993) ; ラオ、複数レベル相互接続技術 (1993) ; 化学蒸着 (エム・エル・ヒッチマン編1993) ; 及びプラズマ処理に関する電気化学学会のセミナリアル・コンファレンス・プロシーディング。

【0036】以上の記載に関連して、以下の各項を開示する。

1. チップ上のキャパシタであって、第1及び第2レベル内のそれぞれの第1及び第2金属パターンを有し、第1レベルの第1パターンは第2レベルの第1パターンに導体バイアにより接続されていて、第1レベルの第2パターンは第2レベルの第2パターンと導体バイアにより

接続されていて、第1パターン及び第2パターンはキャパシタのコンタクトを形成するキャパシタ。

2. 1項記載のキャパシタにおいて、第1レベル及び第2レベルが第1誘電率の材料により分離されていて、第1及び第2パターンは第2誘電率の材料により分離されていて、そして第1誘電率が第2誘電率よりも大きいキャパシタ。

3. 1項記載のキャパシタにおいて、第1及び第2金属パターンが対向していて、バイアが第1及び第2金属パターンの長さの半分よりも大きく延びているキャパシタ。

4. 1項記載のキャパシタにおいて、バイアが第1及び第2金属パターンから延びて、その他のレベルの金属パターンに接続しないキャパシタ。

【0037】5. 集積回路構造であって、少なくとも2つの金属線を含む第1金属化パターンを有する第1層と、少なくとも2つの金属線を含む第2金属化パターンを有する第2層とを有し、第1及び第2金属化パターンがキャパシタを形成するために導体バイアにより接続されている集積回路。

6. 5項記載の集積回路において、第1及び第2金属化パターンが第1誘電率の材料により分離され、そして前記バイアが第2誘電率の材料により分離されていて、第2誘電率が第1誘電率よりも大きい集積回路。

7. 5項記載の集積回路において、第1及び第2金属化パターンが互いに対向し、そしてバイアが第1及び第2金属化パターンの長さの少なくとも半分まで延びている集積回路。

8. 5項記載の集積回路において、第1層の第1及び第2金属化パターンから延びて、その他の金属化パターン

に接続しないバイアをさらに含む集積回路。

【0038】9. チップ上のキャパシタであって、金属線の第1積重ねと、第1誘電体材料により第1積重ねから横方向に分離された金属線の第2積重ねと、を有し、第1積重ねの金属線の2つ又はそれ以上が導体バイアにより垂直に接続されていて、第2積重ねの金属線の2つ又はそれ以上が導体バイアにより垂直に接続されていて、第1積重ね及び第2積重ねはキャパシタの2つのターミナルを与えるキャパシタ。

10. 9項記載のキャパシタにおいて、バイアが、第2誘電体材料により横方向に分離されていて、第2誘電体材料の誘電率が第1誘電体材料の誘電率よりも大きいキャパシタ。

11. 9項記載のキャパシタにおいて、バイアが、それが接続する金属線の長さの半分以上に延びているキャパシタ。

【0039】12. チップ上のキャパシタであって、横方向の容量をそれらの間に与えるフィンガー状に組合せられた第1及び第2の金属パターンと、第1及び第2のパターンのそれぞれに電氣的に接続されて平行で、横方向の容量をそれらの間に与える延びたバイアと、を有し、延びたバイアと結合した第1及び第2の金属パターンが、キャパシタを定義するキャパシタ。

13. 12項記載のキャパシタにおいて、延びたバイアが、フィンガー状に組合せられた第1及び第2の金属パターンの互いに対向する周縁長さの半分以上を延びているキャパシタ。

14. 12項記載のキャパシタにおいて、延びたバイアが、それぞれの金属パターンから金属化の1つ又は複数の他の層内の対応する金属パターンへの垂直接続を与えるキャパシタ。

15. 12項記載のキャパシタにおいて、延びたバイアが、フィンガー状に組合せられた金属パターンよりも大きい横方向容量を与えるキャパシタ。

16. 12項記載のキャパシタにおいて、第1及び第2パターンに接続したバイアが、その他の金属パターンに接続しないキャパシタ。

【0040】17. チップ上のアナログ・キャパシタであって、金属相互接続構造がキャパシタを形成するために使用され、そして相互接続構造内の同じ極性のフィンガー状に組合せられたフィンガー302が上及び下で互いに金属バイア304により接続されていて、金属バイアはバイア側壁容量を利用することにより全体容量を増加する金属壁を形成する。

【0041】

【発明の効果】本発明のチップ上のキャパシタによれば、より大きなチップ上の容量を、最小のプロセスの変更で、同じ容量に対してより小さな寸法でもって達成できる。本発明のチップ上のキャパシタによれば、金属線への電気接続は、他のレベルへバイアで接続されるため

に、たった1つのレベルでの接続で済む。

【図面の簡単な説明】

【図1】相互接続構造の上平面図。

【図2a】相互接続構造の端を示す側面図。

【図2b】本発明の実施の形態による相互接続構造の端を示す側面図。

【図3】バイアと共に示される相互接続構造の上平面図。

【図4】相互接続の長さに沿ったバイアと共に示される相互接続構造の上平面図。

【図5】金属線を接続するバイアと共に示される相互接続構造の側面図。

【図6】金属線を接続するバイア及び最上及び最下金属線の上及び下に延びるめくらバイアと共に示される相互接続構造の側面図。

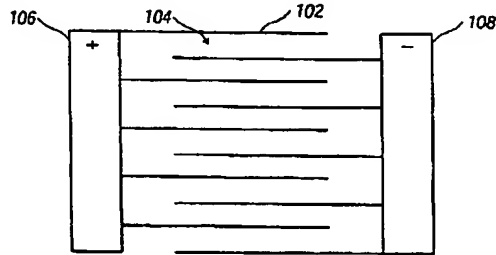
【図7】点線により分離された層を有する相互接続構造を詳細に示す図。

【図8】相互接続構造の斜視図。

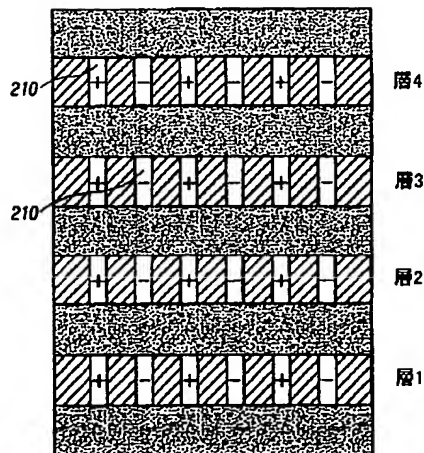
【符号の説明】

102	金属化線
104	誘電体材料
106	バス
108	バス
210	金属線
302	フィンガー
304	バイア
402	バイア
404	線
502	金属化線
504	金属バイア
506	誘電体材料
508	レベル間誘電体材料
602	バイア
604	めくらバイア
702	金属線
704	バイア
706	間隙充填誘電体材料
708	レベル間隙充填誘電体材料

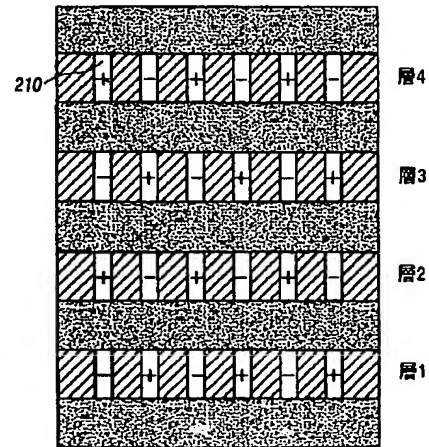
【図1】



【図2b】

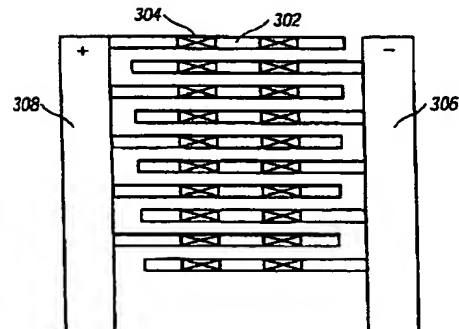


【図2a】

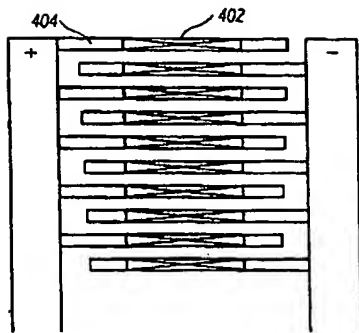


(従来)

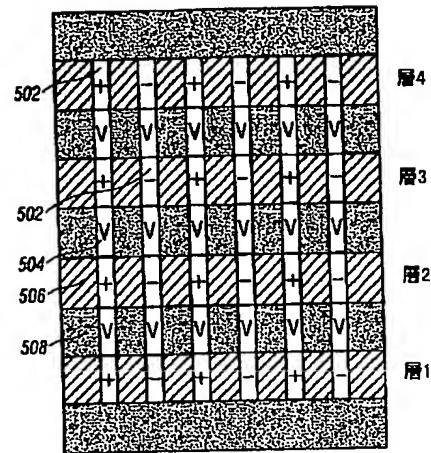
【図3】



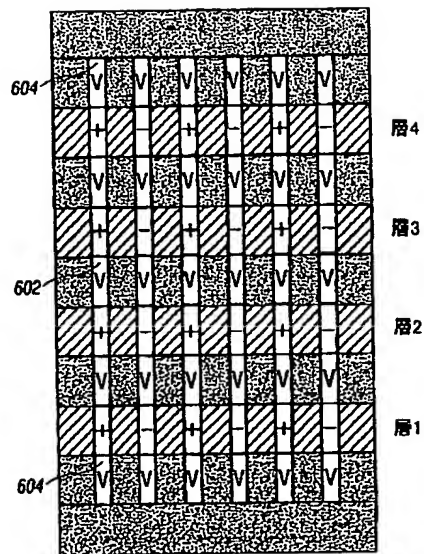
【図 4】



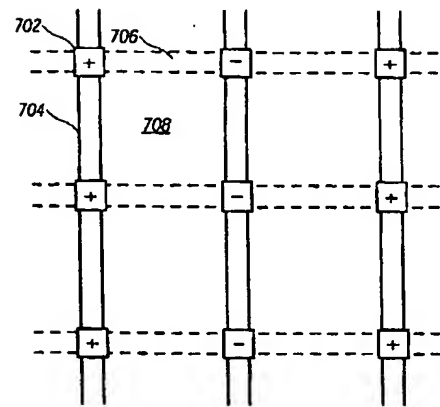
【図 5】



【図 6】



【図 7】



【図 8】

